

Docket No.: K-272

R S
3
2-13-02
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Ki Woong KOO

Serial No.: To be assigned

Confirm. No.: Unassigned

Filed: May 3, 2001

For: DEVICE FOR SELECTING NORMAL CIRCUIT IN
COMMUNICATION SYSTEM

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. P2000-23720, filed May 3, 2000

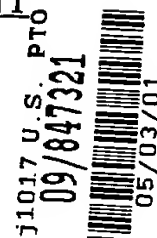
A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440
Date: May 3, 2001



J1017 U.S. PTO
09/847321
05/03/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

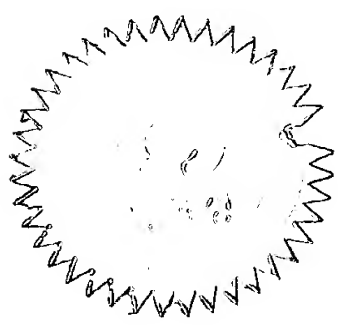
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 23720 호
Application Number

출원년월일 : 2000년 05월 03일
Date of Application.

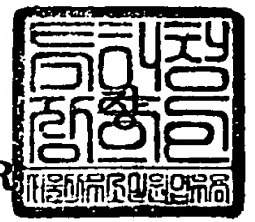
출원인 : 엘지정보통신주식회사
Applicant(s)



2001 01 10
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.05.03
【발명의 명칭】	통신 시스템의 정상회로 선택 -장치
【발명의 영문명칭】	Normal circuit selecting device in communication syste
【출원인】	
【명칭】	엘지정보통신주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-057037-3
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-057038-1
【발명자】	
【성명의 국문표기】	구기웅
【성명의 영문표기】	K00,Ki Woong
【주민등록번호】	590206-1037627
【우편번호】	137-180
【주소】	서울특별시 서초구 내곡동 6-55 6/4
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원

1020000023720

2001/1/1

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	277,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 통신 시스템의 정상 회로 선택 장치에 관한 것으로 특히 일정한 서비스 품질을 유지하고 시스템 안정화를 도모할 수 있는 통신 시스템의 정상 회로 선택 장치에 관한 것이다. 이와 같은 통신 시스템의 정상회로 선택장치는 백보드(Back board)에 이중화되어 실장된 복수개의 범용 기능 회로 모듈(GEN PBA)과, 상기 백보드에 이중화로 구성되어, 상기 범용 기능 회로 모듈(GEN PBA)의 상태를 감시하여 정상동작중인 범용 기능 회로 모듈(GEN PBA)을 선택하여 동작하도록 하고, 액티브 상태의 제어기능 회로 모듈이 대기 상태로 절체하는 경우 대기상태의 제어기능 회로 모듈로 상기 액티브 상태의 제어기능 회로 모듈의 대기상태 절체를 알려 상기 대기 상태쪽의 제어기능 회로모듈이 액티브 상태로 절체된 후 대기상태로 절체되도록 구성된 이중화 제어 기능 회로 모듈(CON PBAa, CON PBAb), 상기 백보드에 대한 전원공급 장애 신호를 출력하는 이중화된 제 1, 제 2 전원공급 모듈(PWRa, PWRb)로 구성된다.

【대표도】

도 4

【색인어】

정상회로 선택장치

【명세서】**【발명의 명칭】**

통신 시스템의 정상회로 선택 장치{Normal circuit selecting device in communication system}

【도면의 간단한 설명】

도 1은 종래 일 예에 따른 이중화 장치 제어 회로를 나타낸 도면

도 2는 종래 다른 예에 따른 이중화 장치 제어 회로를 나타낸 도면

도 3은 본 발명에 따른 단일 기능 블록 내에서의 회로 모듈(PBA) 실장을 나타낸 도면

도 4는 도 3에 나타낸 단일 기능 블록의 블록 구성도

도 5는 도 3에 나타낸 단일 기능 블록의 인터페이스 구성도

도 6은 도 3에 나타낸 단일 기능 블록의 이중화된 제어 기능 회로 모듈(PBA)의 상세 회로도

도 7은 도 3에 나타낸 단일 기능 블록의 이중화된 제어 기능 회로 모듈에서 양호한 범용 기능 회로 모듈(PBA)을 선택하는 것을 설명하기 위한 도면

도면의 주요 부분에 대한 부호의 설명

2,21 : 전원공급 모듈 1,11,22 : 제어 기능 회로 모듈

3,12 : 범용 기능 회로 모듈 13 : 다른 기능부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 통신 시스템의 정상 회로 선택 장치에 관한 것으로 특히 이중화한 시스템의 회로 모듈을 이용하여 일정한 서비스 품질을 유지하고 시스템 안정화를 도모할 수 있는 통신 시스템의 정상 회로 선택 장치에 관한 것이다.
- <12> 디지털 시스템에서는 안정적인 서비스를 제공하기 위하여 다양한 방법으로 시스템 신뢰성을 확보하고 있다.
- <13> 이하, 첨부된 도면을 참조하여 종래 통신 시스템의 정상회로 선택 장치를 설명하기로 한다.
- <14> 도 1은 종래 일예에 따른 이중화 장치 제어회로를 나타낸 도면
- <15> 종래 기술에 따른 이중화 장치 제어 회로는 소프트웨어에 의한 이중화 절체에 따른 하강 에지(falling edge) 신호를 입력단으로 하는 D플립플롭(124)과, 상기 소프트웨어에 의한 이중화 절체에 따른 하강 에지 신호를 입력단으로 하는 D플립플롭(121)과, 상기 D플립플롭(121)의 정출력(Q)을 신호입력으로 하는 D플립플롭(122)과, 상기 D플립플롭(121)의 부출력(Q)과 상기 D플립플롭(122)의 정출력(Q)을 입력받아 부정논리곱하여 트리거 펄스로서 상기 D플립플롭(124)의 클럭단(CLK)에 제공하는 NAND 게이트(131)와, 상기 NAND 게이트(131)의 출력을 입력으로 받아 지연시키는 D플립플롭(123)과, 상대측 전원단에 연결되어 기준치 이하로 상대측 전압이 떨어지는 것을 감시하는 전압비교기(125)와, 상대측 플레인으로부터 기능장애 검출신호 FFo를 입력하여 반전시켜 출력하는 인버터

(126)와, 상기 전압비교기(125)의 출력과 인버터(126)의 출력을 입력받는 AND 게이트(127)와, 상기 AND 게이트(127)와 D플립플롭(123)의 출력을 입력받는 NAND 게이트(130)와, 상기 NAND 게이트(130)의 출력 상대측 D플립플롭(124)의 정출력(Q)을 입력받는 OR 게이트(129)와, 상기 OR 게이트(129)의 출력과 전원전압(Vcc)을 입력받아 논리곱하여 상기 D플립플롭(124)의 프리세트 단자로 출력하는 AND 게이트(128)로 구성된다. 그리고, 출력(JCout)은 상대측 입력(JCo)에, 입력(JCin)은 상대측 입력(JCino)에 각각 연결되며, 각 플레인은 상대측 기능장애와 DC 전압을 모니터한다.

<16> 전술한 바와 같은 구성에 따른 세부적인 동작은 다음과 같다.

<17> 우선, 이중화 장치의 어떤 플레인을 초기에 파워를 온시키면 전압비교기(125)와 인버터(126) 및 AND 게이트(127)에 의해 D플립플롭(124)의 클리어단(CL)에 로우레벨이 가해지고, 잠시 후 AND 게이트(128)의 입력일단이 하이레벨이 됨에 따라 AND 게이트(128)의 입력이 잠시 후에 하이 레벨이 되므로, AND 게이트(128)의 출력은 D플립플롭(124)의 프리세트단으로 입력되어 출력(Q)은 로우레벨이 된다. 따라서, 플레인은 액티브(JC=0)가 된다.

<18> 이어서, 이중화 장치의 다른 플레인을 초기에 파워를 온시키면 AND 게이트(128)의 입력에 연결된 RC 회로에 의해 D플립플롭(124)의 프리세트(PR)단에 로우레벨이 가해져 D플립플롭(124)의 출력(Q)은 하이 레벨이 된다. 따라서, 플레인은 스탠바이(JC=1)가 된다.

<19> 그리고, 두 플레인이 정상 동작중에 액티브 플레인에서 기능장애가 발생하면 스탠바이 플레인의 인버터(126)의 입력단(FFo)에 하이레벨이 입력되므로, D플립플롭(124)의 클리어단(CL)에 로우레벨이 가해지고, 동시에 프리세트단(PR)에 하이레

벨이 입력되므로, D플립플롭(124)의 출력(Q)은 로우레벨이 된다. 계속해서 D플립플롭(124)의 출력(Q)의 신호값 로우레벨이 상대측의 OR 게이트(129)의 입력일단에 입력되므로(이때, OR 게이트(129)의 입력 타단은 로우레벨임), D플립플롭(124)의 프리세트단(PR)에 로우레벨이 가해져 출력(Q)은 하이레벨이 된다. 따라서, 이중화 절체가 일어나게 된다.

<20> 그다음 플레인이 정상 동작중에 액티브 플레인의 파워를 오프시키면 스탠바이 플레인의 전압비교기(125)에서 기준치 이하로 상대측 전압이 떨어지는 것을 감시하여 D플립플롭(124)의 클리어단(CL)과 프리세트단(PR)에 통보되며, 전술한 경우와 동일한 과정으로 이중화 절체가 일어나게 된다. 파워를 오프시킨 플레인의 파워를 다시 온시키면 AND 게이트(128)의 입력단에 연결된 RC 회로는 D플립플롭(124)의 출력(Q)의 초기 상태를 하이레벨로 만들어 스탠바이측 출력 드라이버가 액티브측 출력 드라이버에 영향을 줌으로 인해 발생하는 클럭 및 데이터 전송 손실을 방지한다.

<21> 이어서, 소프트웨어에 의한 이중화 절체시에는 스탠바이 플레인의 입력단(JCin)에서 하강 에지 신호가 발생한다. 이 신호는 D플립플롭(124)의 입력단인 D에 입력되고, 동시에 D플립플롭(121)과 D플립플롭(122), 그리고 NAND 게이트(131)에 의해 로우레벨 트리거 펄스(Low level trigger pulse)가 발생하여 D플립플롭(124)의 클럭단(CLK)에 가해진다. 또한 이 신호가 D플립플롭(123)에서 지연된 후 NAND 게이트(130), OR 게이트(129), AND 게이트(128)를 거쳐 D플립플롭(124)의 프리세트(PR)에 하이 레벨이 가해지므로 D플립플롭(124)의

출력(Q)은 로우레벨이 되어 액티브(JC=0)가 된다(이때, NAND 게이트(130)의 다른 입력단은 하이레벨, OR 게이트(129)의 다른 입력단은 로우레벨임). 그리고, D플립플롭(124)의 출력(Q) 신호값인 로우레벨이 상대측의 OR 게이트(129) 입력단에 입력되므로(이때, OR 게이트(129)의 다른 입력단은 로우레벨임), D플립플롭(124)의 프리세트단(PR)에 로우레벨이 가해져 출력(Q)은 하이레벨이 된다. 따라서, 이중화 절체가 일어나게 된다.

<22> 도 2는 종래 다른 예에 따른 이중화 제어 회로를 나타낸 도면이다.

<23> 종래 다른 예에 따른 이중화 제어 회로는 전술한 도 1과 같은 소프트웨어에 의한 이중화 제어구조를 갖는 경우에 적용되는 상세 회로도이다.

<24> 도면에 도시된 바와 같이 종래 다른 예에 따른 이중화 제어 회로의 다른 실시예는, 상대측 전원단에 연결되어 기준치 이하로 상대측 전압이 떨어지는 것을 감시하는 전압비교기(125)와, 상대측 플레인으로부터 기능장애 검출신호FFo를 입력하여 반전시켜 출력하는 인버터(126), 상기 전압비교기(125)의 출력과 인버터(126)의 출력을 입력받는 AND 게이트(127)와, 소프트웨어에 의한 이중화 절체에 따른 로우레벨 트리거 펄스를 클럭단으로 입력하는 D플립플롭(124)과, 상기 소프트웨어에 의한 이중화 절체에 따른 로우레벨 트리거 펄스를 입력단으로 하여 지연시키는 D플립플롭(131)과, 상기 D플립플롭(131)의 정출력(Q)과 상기 AND 게이트(27)의 출력을 입력으로 받아 부정 논리곱하여 출력하는 NAND 게이트(130)와, 상기 NAND 게이트(130)의 출력과 상대측 D플립플롭(124)의 정출력(Q)을 입력받는 OR 게이트(129)와, 상기 OR 게이트(129)의 출력과 전원전압(Vcc)을 입력받아 논리곱하여 D플립플롭(124)의 프리세트 단자로 출력하는 AND 게이트(128)로 구성된다.

<25> 그리고, 출력(JCout)은 상대측 입력(JCo)에 연결되며 각 플레인은 상대측 기능장애

와 DC 전압을 모니터한다.

<26> 이와 같은 도 2에 나타낸 기본 회로와 동작과정은 도 1의 경우와 동일하며, 단지 소프트웨어에 의한 이중화 제어회로 부분과 동작 과정만 다르다.

<27> 소프트웨어에 의한 이중화 동작과정은 다음과 같다.

<28> 소프트웨어에 의한 이중화 절체시에는 스탠바이 플레인의 D플립플롭(124)의 클럭단 (CLK)에만 로우레벨 트리거 펄스가 입력된다.

<29> 이때, D플립플롭(131)에 의해 지연된 로우레벨 트리거 펄스가 D플립플롭(124)의 입력단 D에 입력되고 지연된 이 로우레벨트리거 펄스는 NAND 게이트(130), OR 게이트(129)를 거쳐, D플립플롭(124)의 프리세트단(PR)에 하이레벨이 트리거 펄스로 가해지므로 D플립플롭(124)의 정출력(Q)은 로우레벨이 된다(이때, D플립플롭(131)의 출력(Q)을 입력받는 NAND 게이트(130)의 다른 입력단은 하이레벨, 상대측으로부터의 신호를 받는 OR 게이트(129)의 입력단은 로우레벨임).

<30> 그리고, D플립플롭(124)의 출력(Q) 신호값 로우레벨이 상대측의 OR 게이트(129) 입력단에 입력되므로(이때, OR 게이트(129)의 다른 입력단은 로우레벨임), D플립플롭(124)의 프리세트단(PR)에 로우레벨이 가해져 출력(Q)은 하이레벨이 된다. 따라서, 이중화 절체가 일어나게 된다.

<31> 따라서, 상기와 같이 구성되어 동작하는 종래 기술은 이중화로 구성된 하드웨어 장치를 제어하는 경우, 파워 오프에 의한 이중화 절체, 회로팩 기능장애에 의한 이중화 절체 및 소프트웨어에 의한 이중화 절체시 클럭 및 데이터 전송 손실을 최소한으로 줄일 수 있다.

<32> 하지만 종래의 경우에는 이중화회로 절체시 대기상태 PBA 쪽에서 액티브를 선택할 수 있도록 하면, 기존 PBA(선택된 PBA)에 대응된 대기 PBA를 삽입할 때 액티브/대기 상태가 대기보드를 끄는 순간 절체되거나 바이브레이션되는 경우가 발생하였다.

<33> 또한 정상적으로 프로세서에 의한 절체시에도 액티브 상태에서 먼저 대기상태가 되고, 대기 쪽에서 이 상태를 감지하여 액티브 상태로 천이하게 되는데, 이 과정에서 최대 시스템 클럭의 한 주기 시간동안 기능 블록의 모든 PBA 상태가 디스에이블 상태가 되어 데이터를 유실할 수 있었다(make after break).

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명의 목적은 이상에서 언급한 종래 기술의 문제점을 감안하여 안출한 것으로서, 다수의 회로 모듈을 구비한 통신 시스템의 안정화를 도모하기 위하여 회로 모듈의 기능 에러, 전원 에러, 회로 모듈 탈/실장 에러를 방지할 수 있는 통신 시스템의 정상회로 선택 장치를 제공하기 위한 것이다.

<35> 이상과 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 백보드(Back board)에 이중화되어 실장된 복수개의 범용 기능 회로 모듈(GEN PBA)과, 상기 백보드에 이중화로 구성되며, 상기 범용 기능 회로 모듈(GEN PBA)의 상태를 감시하여 정상동작중인 범용 기능 회로 모듈(GEN PBA)을 선택하여 동작하도록 하고, 액티브 상태의 제어기능 회로 모듈이 대기 상태로 절체하는 경우 대기상태의 제어기능 회로 모듈로 상기 액티브 상태의 제어기능 회로 모듈의 대기상태 절체를 알려 상기 대기 상태쪽의 제어기능 회로모듈이 액티브 상태로 절체된 후 대기상태로 절체되도록 구성된 이중화 제어 기능 회로 모듈(CON PBAa, CON PBAb)과, 상기 백보드에 대한 전원공급 장애 신호를 출력하는 이중

화된 제 1, 제 2 전원공급 모듈(PWRa, PWRb)로 구성됨을 특징으로 하는 통신 시스템의 정상회로 선택 장치.

【발명의 구성 및 작용】

<36> 이하 본 발명의 바람직한 일 실시 예에 따른 구성 및 작용을 첨부된 도면을 참조하여 설명한다.

<37> 도 3은 본 발명에 따른 단일 기능 블록 내에서의 회로 모듈(PBA) 실장을 나타낸 도면이다.

<38> 본 발명에 따른 단일 기능 블록 내에서의 회로 모듈(이하, PBA라 약칭 함)은 도 3에 나타낸 바와 같이, 복수개의 회로 모듈(PBA)을 실장하는 보드(Board)의 양끝으로 전원공급 및 전원공급 장애 신호를 출력하는 이중화된 제 1, 제 2 전원공급 모듈(PWRa, PWRb)(PWR : Power Supply Unit)(2a,2b)이 실장되고, 제 1 전원공급 모듈(PWRa)(2a)의 일측으로 단일 기능 블록 전체의 공통 기능인 시스템 클럭, 프로세서 정합 및 일반기능 PBA의 상태감시, 정상 PBA의 선택 기능 등을 수행하는 이중화된 제어기능 PBAa, PBAb(CONa, CONb)(1a,1b)가 실장되며, 상기 제어기능 PBAa, PBAb(CONa, CONb)(1a,1b)와 제 2 전원공급 모듈(PWRb)(2b)사이에 실장되는 이중화된 복수개의 범용 기능 PBAa, PBAb(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂,···3n₁,3n₂)로 구성된다.

<39> 도 4는 도 3에 나타낸 단일 기능 블록의 블록 구성도이고, 도 5는 도 3에 나타낸 단일 기능 블록의 인터페이스 구성도이다.

<40> 도 4 및 도 5에 나타낸 바와 같은 단일 기능 블록 및 인터페이스 구성은, 전원공급

알람 발생을 알리는 제 1, 제 2 전원공급 모듈(2a,2b)과, 단일 기능 블록 외부에서 이중화된 시스템 동기 클럭(system input clock)을 받아 양호한 쪽을 선택하여 단일 기능 블록내의 동작 클럭을 공급하고 블록 기능을 모니터링하여 정상동작중인 범용 기능 PBA(GEN PBA)를 선택하는 제 1, 제 2 제어기능 PBA(1a,1b)(11a,11b)와, 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂, ··· 3n₁,3n₂)(12a,12b)를 블록도로 나타낸 것으로, 여기서, 제 1, 제 2 제어기능 PBA(1a,1b)(11a,11b)는 각각의 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂, ··· 3n₁,3n₂)(12a,12b)내의 상태를 감시하여 우선 정상동작 GEN PBA를 선택하여 단일 기능 블록 내에서 동작하도록 한 후, 블록 제어 프로세서(peripheral processor)로 보고하고, 블록 제어 프로세서로부터 GEN 선택 데이터를 수신하여 정상동작을 하는 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂, ··· 3n₁,3n₂)(12a,12b)를 선택하여 제어 데이터와 단일 기능 블록 데이터 상태를 일치시킨다.

<41> 또한 통신 데이터 처리를 위하여 타 기능 블록, 즉 제 1, 제 2 다른 기능부(13a,13b,14)와 정합하여(연결되어) 통신 데이터를 주고받게 되는데 이때 상대방의 범용 기능 PBA(타 기능 블록의)가 단일 블록(제 2 다른 기능부(14))으로 되어 있으면 인터페이스는 인터페이스 데이터 타입 A(interface data type A)와 같이 연결하여 블록의 입력 두 곳(input data A,B : 3a₁,3a₂,12a,12b)으로 들어가고, 출력 데이터(output data A,B)는 와이어드 오아(Wired OR)되어 하나의 출력으로 나가게 된다. 한편, 상대방 기능 블록(제 1 다른 기능부 A,A' : 13a, 13')이 이중화로 구성되어 있으면 인터페이스 데이터 타입 B(interface data type B)와 같이 연결하여, 상대방에서 들어오는 입력 데이터

(input data a, input data b)는 각각 입력 두 곳으로 들어오고, 출력 데이터(output data a, output data b)는 각각 출력되어 상대방 블록 수신단(제 1 다른 기능부 A, A' : 13a, 13b)에서 처리하게 된다.

<42> 그리고 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)

(3a₁, 3a₂, 3b₁, 3b₂, ··· 3n₁, 3n₂)(12a, 12b)는 데이터 타입 A일 때는 제 2 다른 기능부(14)로부터의 입력은 그대로 받아 들여 처리한 후 출력으로 둘 중의 하나를 선택해서 출력해야 하므로 출력포트 선택 회로가 있어야 하고, 데이터 타입 B일 때는 출력 데이터는 각각의 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁, 3a₂, 3b₁, 3b₂, ··· 3n₁, 3n₂)(12a, 12b)에서 그대로 출력하고, 제 1 다른 기능부(13a, 13b)로부터 입력되는 두 개의 입력 데이터를 각각의 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁, 3a₂, 3b₁, 3b₂, ··· 3n₁, 3n₂)(12a, 12b)에서 하나를 선택하여 처리하는 입력포트 선택 회로가 있어야 한다.

<43> 여기서 도 5는 단일 기능 블록 내부에서 정상 PBA를 선택하기 위하여 관련된 제어 신호의 연결 방법을 제시한 것으로, 복수개의 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁, 3a₂, 3b₁, 3b₂, ··· 3n₁, 3n₂)(12a, 12b)는 한 쌍으로 구성된 제 1, 제 2 제어 기능 PBA(11a, 11b)로 각각 자기의 상태 정보를 보내고, 선택된 제어 기능 PBA(11a 또는 11b)는 이 상태를 판단하여 데이터 타입 A인 경우에 제 1, 제 2 범용 기능 PBA(12a, 12b)중 정상동작 PBA의 출력포트를 선택하도록 선택정보와 범용 기능 PBA(12a, 12b)에서 필요한 시스템내부 클럭을 전달한다. 한편 제 1, 제 2 제어 기능 PBA(11a, 11b)중 정상동작 제어 기능 PBA가 선택되도록 제 1, 제 2 제어 기능 PBA(11a, 11b)상호간 자기 상태 정보(function status)를 주고받게 한다.

- <44> 도 6은 도 3에 나타난 단일 기능 블록의 이중화된 제어 기능 회로 모듈(제어 기능 PBA((1a,1b)(11a,11b))의 상세 회로도이다.
- <45> 단일 기능 블록의 이중화된 제 1, 제 2 제어 기능 회로 모듈(PBA)(22a,22b)은 제 1, 제 2 전원공급 모듈(21a,21b)이 모두 전원을 공급하는 상태에서도 제 1, 제 2 제어 기능 PBA(22a,22b) 상호간에 상태제어 신호를 상호 교환하여 통신 데이터의 유실이 없도록 정상 상태의 제어기능 PBA, 및 범용 기능 PBA가 선택되도록 하는 방법으로 제안된 것으로, 어느 한쪽 제어 기능 PBA(예를 들면, 제 1 제어 기능 PBA(22a))가 선택되었을 경우 다른 한쪽 제어 기능 PBA(22b) 대기 상태를 유지하도록 하고 그 상태를 바꿀 때에는 항상 선택된 제어 기능 PBA(22a)쪽에서 바꿀 수 있도록 하여 서로의 제어 기능 PBA의 출력 선택 상태가 동시에 동일하게 유지되지 않도록 한다.
- <46> 그래서 대기상태 제어기능 PBA(22b) 쪽의 출력 변동에 따라 선택된 제어기능 PBA(22a)쪽의 출력 상태가 변경되지 않도록 회로를 구성해야 한다.
- <47> 즉, 각각의 제 1, 제 2 제어 기능 PBA(22a,22b)에서 포지티브 에지 트리거드 플립 플롭(positive edge triggered flip-flop)(이하 플립플롭이라 약칭 함)(37)(45)의 출력을 피드 백(feed back)시켜 제 1, 제 2 프로세서 인터페이스부(53)(54)의 리드/라이트 상태를 조정할 수 있도록 한다. 다시 말하면 자기가 선택된 제어 기능 PBA쪽에서는 프로세서 인터페이스부(53,54)가 리드/라이트를 인에이블 시키고, 선택되지 않은 제어 기능 PBA에서는 그 상태를 리드만 하도록 회로를 구성한다. 따라서 자기가 선택된 제어 기능 PBA 쪽에서만 자기 자신을 대기상태로 선택하면 그 상태가 출력으로 나오기 전에 먼저 대기 상태쪽의 제어 기능 PBA를 액티브 상태로 만들고 후에 자기자신을 대기 상태로 전환되도록 한다.

- <48> 이러한 방법은 제어 기능 PBA(22a,22b)의 모두가 정상일 경우에 단일기능 블록 제어 프로세서에 의한 절체시 1/4주기 클럭 동안 출력을 모두 선택하여 시스템 동작의 연속성을 유지하기 위하여 도입된 방법이다.
- <49> 이때 제어 기능 PBA(22a,22b) 상호 절체시에 동일 클럭으로 상태를 변환하면 그 출력을 제어 기능 PBA(22a,22b)들이 서로 주고받아 상대방의 입력으로 피드백되기 때문에 제어 기능 PBA(22a,22b) 출력이 불안정하게 교번(Alternate)되어 나타날 선택될 수 있으므로 시스템의 클럭(system CLK)을 1/4주기 딜레이(55,56)를 사용하여, 시스템 클럭을 체배한 후 도시한 논리 회로인 배타적 논리합 게이트(Ex NOR)(40,48)와 같이 배타 논리합의 한 입력을 PBA 삽입위치에 따라 로우(L)와 하이(H)의 상태가 입력되도록 하여 클럭을 한쪽에서 반전시켜 서로 동일한 주기이면서 반전 클럭이 되도록 하여 플립플롭(37,45)의 상태 전환 입력 클럭이 1/4주기만큼 차이가 나도록 하여 시스템의 안정화가 가능해진다.
- <50> 그리고 디지털 통신 시스템에서 신뢰도를 유지하기 위한 블록에서는 대부분 전원공급 장치에 전원공급 장애신호를 제공해주는 전원 공급 모듈(PWR)을 사용하고 있으며, 전원 공급이 중단될 때, 기준 부하 90% 조건에서 5ms 이전에 장애 알람(fail alarm)을 로우(L)로 발생시켜 해당 PBA에 통보한다.
- <51> 또 다른 고려사항으로는 서로간의 PBA 동기 클럭이 일치되어야 하며, 이는 상위의 망동기 블록으로부터 동일 클럭을 수신하기 때문에 클럭의 정확도 및 일치성을 유지할 수 있다.
- <52> 이를 도 6을 참조하여 상세히 설명하면, 이중화하고자 하는 PBA(예를 들면 제 1 제어기능 PBA(22a))에서 상대방 PBA(예를 들면 제 1 제어기능 PBA(22b))가 실장되지 않은

상태에서 제 1 제어 기능 PBA(22a)가 보드(Board)에 최초로 실장시 인버터(42)의 폴업회로에 의해 플립플롭(37)의 CLR 단자가 로우(L)상태가 되고, 플립플롭(37)의 SET 단자가 자신의 공통 사이드 전력(common side power)이 정상이고 자신의 PBA 기능이 정상이면, 인버터(35)에 의해 하이(H)가 되어, 플립플롭(37)의 출력 Q는 입력 D의 상태와 관계없이 로우(L)를 유지하여 자신의 출력을 인에이블시켜 동작하게 된다.

<53> 이때, 오아게이트(31)의 출력은, 프로세서 인터페이스 기능의 초기 상태 하이(H)에 따라 리셋 스위치(SW1)의 초기상태인 로우(L)와 상관없이 하이(H)가 되고, 앤드게이트(34)의 출력도 앤드게이트(34) 입력의 폴업저항에 의해 하이(H)가 되므로, 하이(H)가 된다. 따라서 플립플롭(37)의 입력단자인 D의 상태도 하이(H)가 된다.

<54> 하지만 앞에서 설명한 바와 같이 플립플롭(37)의 CLR 단자가 로우(L) 상태이므로 플립플롭(37)의 입력단자인 D의 입력 값과는 상관없이 그 출력 값(Q에서의 출력)은 로우(L)를 유지한다.

<55> 그리고 플립플롭(37)의 Q값(L)과 프로세서 초기 출력 값(H)이 서로 다르므로 배타적 논리합 게이트(39)에 의해 인터럽트(IRQ)가 발생하고 이를 제어 프로세서(peripheral processor)로 통보하여 프로세서로 하여금 프로세서 출력 값을 로우(L)로 기록하도록 한다.

<56> 이와 같은 상태에서 상대방(대기) PBA인 제 2 제어 기능 PBA(22b)를 삽입할 때 과도기적 천이 상태에서도, 현재 선택된 제어기능 PBA(22a)의 출력 상태가 영향을 받지 않도록 앤드 게이트(34)를 두어 앤드게이트(34)의 두 입력중에 오아 게이트(31)의 출력이 자기 자신을 선택했을 때 로우(L)이므로 앤드게이트(34)의 다른 한 입력의 상태와 상관없이 앤드게이트(34)의 출력은 로우(L)를 유지한다. 이는 과도기적으로 새로 삽입되는

제 2 제어 기능 PBA(22b)의 상태 제어 출력인 인버터(43)와 오아 게이트(41)의 출력이 동시에 로우(L)(자기가 액티브인 상태) 일 때에도 기존의 선택 상태가 변하지 않도록 앤드게이트(34)의 입력 중 한쪽 입력이 자기 자신을 선택했을 경우에 로우(L) 상태이기 때문에 다른 한쪽의 입력이 하이(H)인 경우에도 그 출력은 로우(L)를 유지하여 출력상태를 동일하게 유지할 수 있게 된다.

<57> 상기한 바와 같은 정상 운용 중에 운용자 및 기능 알람에 의한 정상동작 PBA 선택 방법은 비정상 PBA가 액티브로 선택되는 것을 방지하기 위하여 항상 액티브로 동작중인 PBA에서만 가능하게 한다. 그리고 절체수단으로는 정상적인 경우 리셋 스위치를 사용하거나 블록을 제어하는 프로세서에서 제어하는 방법과 액티브 PBA에서의 기능 알람이 발생하거나 파워 페일(Power Fail)이 발생했을 경우와 운영자에 의해 PBA를 탈장한 경우로 나눌 수 있을 것이다.

<58> 우선 리셋 스위치(SW1,SW2)를 이용할 경우 선택된 PBA(예를 들면 제 1 제어 기능 PBA)(22a) 쪽에서 리셋 스위치(SW1)를 누르면, 그 출력이 하이(H)가 되어 오아게이트(31)의 출력이 하이(H)가 되고(이때 오아 게이트의 다른 입력은 제 1 프로세서 인터페이스 부(53)에 의해 로우(L)가 되어 있는 상태임), 오아게이트(31)의 출력은 다른 오아게이트(33)에 입력되어 다른 오아게이트(33)의 출력이 하이(H)로 되어 대기 상태 PBA의 플립플롭(45)의 클리어 단자가 로우(L)로 된다. 따라서 플립플롭(45)의 출력 Q는 로우(L)가 되어 제 2 제어기능 PBA(22b)를 인에이블 시킨다. 그 출력은 다시 인버터(43)에 의해 반전되어 앤드게이트(34)의 일측으로 입력된다. 따라서 앤드게이트(34)에서는 하이(H)가 출력되어 플립플롭(37)의 출력 Q가 하이(H)가 되어 자신의 제어 기능 PBA(22a)의 출력을 디스에이블시켜 대기상태 PBA로 전환된다. 이때, 대기상태 PBA에서

리셋 스위치(SW2)를 누르는 경우에는 오아게이트(49)의 출력이 이미 하이(H)상태를 유지하고 있기 때문에 제어 기능 PBA 선택에 영향을 미치지 않는다.

<59> 이어서 블록을 제어하는 프로세서에 의한 경우를 설명하기로 한다.

<60> 선택된 PBA 쪽에서 대기상태 PBA로 전환하기 위해 제 1 프로세서 인터페이스부(53)의 출력 데이터 상태를 하이(H)로 변경하면 오아게이트(31)의 출력이 하이(H)가 되며, 이후의 과정은 앞에서 설명한 리셋 스위치(SW1)를 이용한 제어 기능 PBA(22a) 절체 방법과 동일하게 진행된다.

<61> 그리고 대기상태의 제어 기능 PBA(22b)에서 비정상적으로 프로세서의 출력 데이터 상태를 로우(L)로 변경하지 못하도록 플립플롭(37,45) 출력 데이터(Q)를 피드백시켜 로우(L)인 경우 자기 상태 및 상대 제어 기능 PBA의 상태와 범용 기능 PBA의 상태를 리드 및 라이트 할 수 있도록 하고, 하이(H)인 경우 리드만 가능하도록 하여 대기 상태의 제어 기능 PBA에서 프로세서가 PBA 선택 데이터를 라이트하지 못하도록 한다.

<62> 그리고 PBA의 탈실장에 의한 경우에는 선택된 PBA를 비상시 운용자 필요에 의해 탈장했을 경우 앤드 게이트(46) 및 인버터(52)의 풀업 저항에 의해 그 출력이 로우(L)가 되어 플립플롭(45)의 D와 CLR에 입력된다. 그에 따라 플립플롭(45)의 출력이 PBA의 탈장과 동시에 로우(L)가 되어, 대기 PBA 출력 상태를 시스템 클럭과 관계없이 즉시 인에이블 시켜 동작하게 된다. 이때 절체된 PBA에서 프로세서가 기록한 상태 하이(H)와 출력상태 로우(L)가 틀리므로 배타논리합 게이트(51)에서는 인터럽트(IRQ) 신호를 제 2 프로세서 인터페이스부(54)로 보낸다. 그에 따라 프로세서가 PBA의 절체 사실을 인지하고 다시 로우(L)값을 기록하게 된다. 처음에 대기상태 PBA를 탈장하는 경우에는 PBA의 출력상태는 변함없이 유지한다.

<63> 그리고, 파워 페일(Power fail)이 발생한 경우에는 선택된 PBA에 전원 장애 신호 로우(L)가 수신되면(예를 들면 전원공급 모듈 규격이 5mS 이전이 경우(도 8참조)) 오아 게이트(32)의 출력이 하이(H)로 변환되고, 오아게이트(32)의 출력은 인버터(35)를 거쳐 플립플롭(37)의 SET 단자에 로우(L)가 인가된다. 따라서 플립플롭의 출력 Q는 하이(H)가 되어 자기 출력을 디스에이블 시키고 대기 상태로 천이함과 동시에 오아 게이트(32)의 출력 하이(H)는 오아게이트(33)와 인버터(52)를 거쳐 플립플롭(45)의 CLR 단자로 입력되어 CLR 단자를 로우(L)상태로 천이하여 출력을 인에이블시켜 액티브 상태로 천이한다. 이 과정은 시스템 클럭에 의존하지 않고 전원공급 알람이 발생함과 동시에 제 2 제어기능 PBA(22b) 상태를 천이시킨다. 그러나, 반대로 대기 상태쪽에서 전원 공급 알람이 발생하는 경우에는 앞에서 설명한 바와 같이 출력상태는 변하지 않는다.

<64> 그리고 액티브 PBA에서의 기능 장애에 의한 경우는 선택된 PBA에 기능 장애 신호 하이(H)가 발생되면 오아 게이트(32)의 출력이 하이(H)로 변환되고, 이후의 동작과정은 앞에서 설명한 파워 페일(Power fail)에 의한 경우와 동일하게 진행된다.

<65> 도 7은 도 3에 나타낸 단일 기능 블록의 이중화된 제어 기능 회로 모듈에서 양호한 범용 기능 회로 모듈(PBA)을 선택하는 것을 설명하기 위한 도면이다.

<66> 도 7은 블록 제어 공통 기능인 제어 기능 PBA(1a,1b) 내에서 기능 블록 내의 모든 범용 기능 PBA쌍(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂,··· 3n₁,3n₂)의 상태에 관한 모든 정보, 예를 들면 전원, 탈/실장 여부, 기능알람 등을 취합하여 각 범용 기능 PBA 쌍(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂,··· 3n₁,3n₂)에서의 양호한 범용 기능 PBA를 선택하는 방법을 설명하기 위한 논리 회로도로서 특히 선택 및 대기상태의 제어 기능 PBA(1a,1b)에서 동일

한 상태 출력을 유지하여 제어 기능 PBA(1a,1b) 절체시에도 범용 기능 PBA(GEN1a, GEN1b, GEN2a, GEN2b ··· GENna, GENnb)(3a₁,3a₂,3b₁,3b₂, ··· 3n₁,3n₂) 선택 상태가 변경되지 않도록 대기 상태 제어 기능 PBA에서 상대방 액티브 제어기능 PBA 출력중 범용 상태 출력을 받아 들여 대기상태 출력을 동일하게 유지한다.

<67> 이를 위해 액티브 상태에서는 리드셀렉션(read selection) 상태를 디스에이블시키고, 제어 기능 출력 셀렉션은 인에이블시켜 동작하게 하고, 대기상태에서는 리드셀렉션(read selection) 상태를 인에이블시키고 제어기능 출력 셀렉션은 디스에이블시켜 동작하도록 한다.

<68> 이러한 인에이블 상태 정보는 앞의 도 6에서 설명한 PBA 선택회로 출력 상태를 이용한다.

<69> 동일 블록 내에서 n개의 범용 기능 PBA 쌍이 있으면 도 7과 같은 제 1 및 제 2 범용기능 PBA(71a,71b)의(GEN) 상태에 따라 범용기능 PBA를 선택하는 회로를 제어 기능 PBA 내에 같은 수의 n개를 두어 범용 기능 PBA 쌍 각각을 제어할 수 있도록 한다. 여기서는 하나의 쌍에 대하여 예를 들어 설명하기로 한다.

<70> 제어기능 PBA에서의 범용기능 PBA 선택 회로의 상세 설명은 다음과 같다.

<71> 제 1 및 제 2 범용 기능 PBA 상태 입력부(71a, 71b)에서 발생하는 기능 및 리셋 상태 경보 하이(H)(Function/Reset alarm)를 제 1, 제 2 범용 상태 입력부(71a, 71b)별로 수집하여 이들 알람 중 하나라도 경보가 발생하면 상대방 범용 상태 입력부를 선택하도록 플립플롭(63)을 이용해 구현한다.

<72> 만일 제 1 제어 기능 PBA(CONa)(1a)가 선택되었다고 하면, 리드 셀렉션(Read

Selection)을 디스에이블시켜 3상태(3-state) 버퍼(72) 출력 상태를 풀업저항(R1)에 의해 하이(H)로 유지시켜 제 1 범용 기능 PBA(GEN1a) 상태 입력부(71a)에서 수신된 정보 신호에 의해서만, 즉 제 1 범용 기능 PBA(GEN1a) 상태 입력부(71a)는 노아 게이트(61), 제 2 범용 기능 PBA(GEN1b) 상태 입력부(71b)는 노아 게이트(67)에서 정보신호를 수신해서 그 출력이 각각 앤드 게이트(62)(68)번을 거쳐 플립플롭(63)의 SET단자와 CLR단자로 입력된다.

<73> 따라서 포지티브 에지 트리거드 플립플롭으로 구성되는 플립플롭(63) 특성에 의해 앤드게이트(62) 출력이 로우(L)이고, 앤드게이트(68)의 출력이 하이(H)이면 플립플롭(63)의 출력 Q는 하이(H)가 되어 입력 D와 상관없이 제 2 범용 기능 PBA(GENb) 입력부(71b)를 선택하게 되고, 각각의 앤드게이트(62,68)의 출력이 그 반대(앤드게이트(62) 출력이 하이(H)이고, 앤드게이트(68)의 출력이 로우(L)이면이면) 출력 Q는 로우(L)가 되어 제 1 범용 기능 PBA(GEN) 입력부(71a)를 선택한다.

<74> 이때 출력단 버퍼(74)는 제 1 제어기능 PBA(CONa)(1a)가 선택되었을 때 인에이블되어 플립플롭(63)의 출력이 버퍼(74)를 거쳐 범용 기능 PBA(GEN)를 제어하게 된다. 그리고 범용 기능 PBA(GEN) 쌍이 모두 정상이어서 앤드게이트(62,68) 모두 하이(H)상태를 유지하면 최초 상태대로 플립플롭(63)의 출력 Q가 유지되거나, D값과 Q값이 틀리면 익스클루시브 노아 게이트(66)에 의해 인터럽트(IRQ)가 생성되어 프로세서 상태부(70)는 플립플롭(63)의 입력값 D를 변경하여 인터럽트(IRQ)가 정상이 되게 한다.

<75> 제 1 제어기능 PBA(CONa)(1a)가 대기 모드일 때는 출력선택이 디스에이블되고 리드 셀렉션이 인에이블되어 선택된 상대방 제어기능 PBA인 제 2 제어 기능 PBA(CONb)에서의

범용 기능 PBA(GEN) 선택 데이터를 읽어들이 선택된 상대방 제어 기능 PBA(CON)에서의
범용 기능 PBA(GEN) 선택출력과 동일한 상태를 유지시켜 절체시에 대비한다.

【발명의 효과】

- <76> 이상의 설명에서와 같은 본 발명은 액티브 상태의 PBA 쪽에서 프로세서가 대기로
· 절체하면 이 상태가 대기 PBA에 먼저 전달되어 대기중인 PBA가 먼저 액티브가 되고 이후
 에 액티브 PBA가 대기가 되게 하여, 절체시에 데이터의 유실이 없는 효과가 있다(break
 after make).

【특허청구범위】**【청구항 1】**

백보드(Back board)에 이중화되어 실장된 복수개의 범용 기능 회로 모듈(GEN PBA)과;

상기 백보드에 이중화로 구성되며, 상기 범용 기능 회로 모듈(GEN PBA)의 상태를 감시하여 정상동작중인 범용 기능 회로 모듈(GEN PBA)을 선택하여 동작하도록 하고, 액티브 상태의 제어기능 회로 모듈이 대기 상태로 절체하는 경우 대기상태의 제어기능 회로 모듈로 상기 액티브 상태의 제어기능 회로 모듈의 대기상태 절체를 알려 상기 대기 상태쪽의 제어기능 회로모듈이 액티브 상태로 절체된 후 대기상태로 절체되도록 구성된 이중화 제어 기능 회로 모듈(CON PBAa, CON PBAb)과;

상기 백보드에 대한 전원공급 장애 신호를 출력하는 이중화된 제 1, 제 2 전원공급 모듈(PWRa, PWRb)로 구성됨을 특징으로 하는 통신 시스템의 정상회로 선택 장치.

【청구항 2】

제 1 항에 있어서, 상기 이중화 제어 기능 회로 모듈 각각의 제어기능 회로 모듈은 액티브 상태의 제어기능 회로 모듈에서 대기상태의 제어기능 회로 모듈로 상기 절체를 알리는 경우에만 상기 절체가 수행됨을 특징으로 하는 통신 시스템의 정상회로 선택 장치

【청구항 3】

제 1 항에 있어서, 상기 제 1 제어 기능 회로 모듈은,

제 1 리셋 스위치의 출력신호와 제 1 프로세서 인터페이스부의 출력신호를 논리합하여 출력하는 제 1 논리합 게이트와;

상기 제 1 전원공급 모듈의 출력신호를 반전시키는 제 1 인버터와;

상기 제 1 인버터의 출력신호와 상기 제 1 제어기능 회로 모듈의 기능 페일 관련 출력신호를 입력받아 논리합하는 제 2 논리합 게이트와;

상기 제 2 논리합 게이트의 출력신호를 반전시켜 출력하는 제 2 인버터와,

제 1 풀업저항의 출력신호와 상기 제 1 논리합 게이트의 출력신호를 논리곱하는 제 1 논리합 게이트와;

제 1 풀업회로에 연결된 제 3 인버터의 출력을 클리어(CLR)로 입력받고, 상기 제 2 인버터의 출력을 셋(SET)으로 입력받고, 상기 제 1 논리합 게이트의 출력값을 입력단자(D)로 입력받아, 상기 입력된 신호에 따라 상기 제 1 제어기능 회로 모듈을 인에이블시키거나 디스에이블 시키는 제 1 플립플롭과;

상기 제 1 논리합 게이트와, 상기 제 2 논리합 게이트의 출력신호를 논리곱하여 제 2 플립플롭의 클리어(CLR)로 입력하는 제 4 논리곱 게이트와;

상기 제 1, 제 2 제어 기능 논리 회로 모듈의 상태전환 입력 클럭의 차이를 발생시키는 제 1 딜레이로 구성되고,

상기 제 2 제어 기능 회로 모듈은,

제 2 리셋 스위치의 출력신호와 제 2 프로세서 인터페이스부의 출력신호를 논리합하여 출력하는 제 5 논리합 게이트와;

상기 제 2 전원공급 모듈의 출력신호를 반전시키는 제 4 인버터와;

상기 제 4 인버터의 출력신호와 상기 제 2 제어기능 회로 모듈의 기능 페일 관련 출력신호를 입력받아 논리합하는 제 6 논리합 게이트와;

상기 제 6 논리합 게이트의 출력신호를 반전시켜 출력하는 제 5 인버터와,

제 2 풀업저항의 출력신호와 상기 제 5 논리합 게이트의 출력신호를 논리곱하는 제 2 논리합 게이트와;

제 2 풀업회로에 연결된 제 6 인버터의 출력을 클리어(CLR)로 입력받고, 상기 제 5 인버터의 출력을 셋(SET)으로 입력받고, 상기 제 5 논리합 게이트의 출력값을 입력단자(D)로 입력받아, 상기 입력된 신호에 따라 상기 제 2 제어기능 회로 모듈을 인에이블 시키거나 디스에이블 시키는 제 2 플립플롭과;

상기 제 5 논리합 게이트와, 상기 제 6 논리합 게이트의 출력신호를 논리곱하여 제 1 플립플롭의 클리어(CLR)로 입력하는 제 8 논리곱 게이트와;

상기 제 2, 제 1 제어 기능 논리 회로 모듈의 상태전환 입력 클럭의 차이를 발생시키는 제 2 딜레이로 구성됨을 특징으로 하는 통신 시스템의 정상회로 선택장치.

【청구항 4】

제 1 항에 있어서, 상기 제어 기능 회로 모듈에서의 범용 기능 회로 모듈 선택장치는,

제 1 범용 기능 회로 모듈의 상태 정보를 수집하여 경보 신호를 출력하고, 상기 제 1 범용 기능 회로 모듈의 상태 정보에서 알람이 발생하면 제 2 범용 기능 회로 모듈을 선택하는 신호를 발생하는 제 1 범용 기능 회로 모듈 상태 입력부와;

상기 제 1 범용 기능 회로 모듈 상태 입력부의 출력신호를 반전 논리합하여 출력하는 제 1 노아 게이트와;

상기 제 2 범용 기능 회로 모듈을 선택하는 신호를 저장하는 제 1 버퍼와;

상기 제 1 노아 게이트와 제 1 버퍼의 출력신호를 논리곱하여 출력하는 제 1 논리곱 게이트와;

제 2 범용 기능 회로 모듈의 상태 정보를 수집하여 경고 신호를 출력하고, 상기 제 2 범용 기능 회로 모듈의 상태 정보에서 알람이 발생하면 상기 제 1 범용 기능 회로 모듈을 선택하는 신호를 발생하는 제 2 범용 기능 회로 모듈 상태 입력부와;

상기 제 2 범용 기능 회로 모듈 상태 입력부의 출력신호를 반전 논리합하여 출력하는 제 2 노아 게이트와;

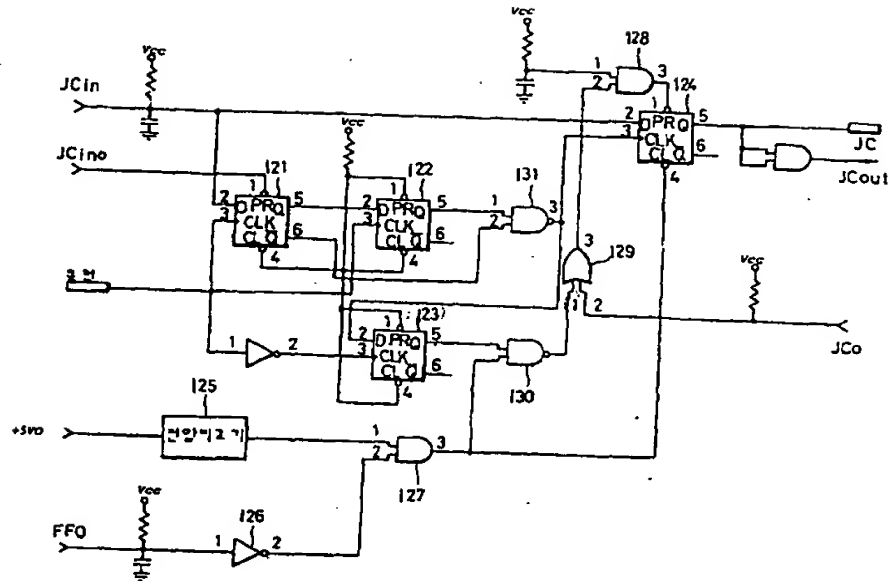
상기 제 1 범용 기능 회로 모듈을 선택하는 신호를 저장하는 제 2 버퍼와;

상기 제 2 노아 게이트와 제 2 버퍼의 출력신호를 논리곱하여 출력하는 제 2 논리곱 게이트와;

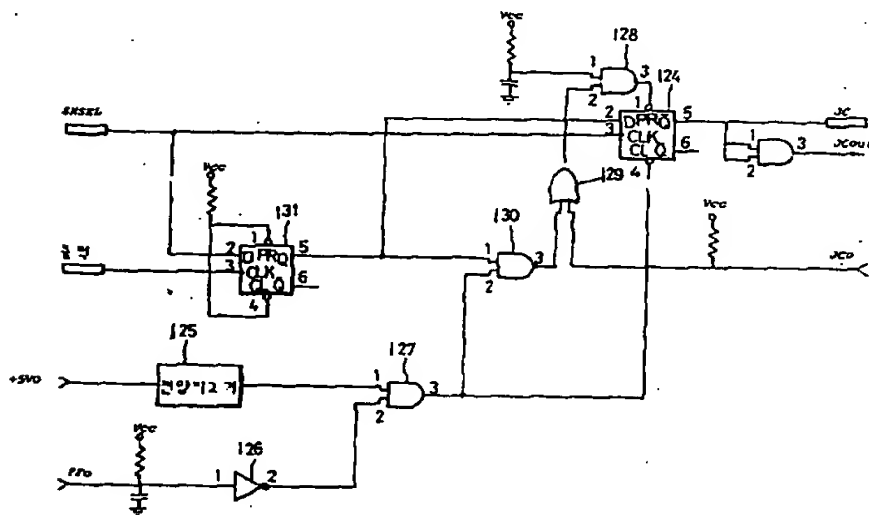
프로세서 상태부로부터 쌍으로 구성된 범용 기능 회로 모듈 설정 데이터를 입력단자(D)로 입력받거나, 상기 제 1 논리곱 게이트의 출력신호를 셋(SET)으로 입력받고, 상기 제 2 논리곱 게이트의 출력신호를 클리어(CLR)로 입력받아, 상기 입력된 신호에 따라 상기 쌍으로 구성되는 범용 기능 회로 모듈중 정상동작 범용 기능 회로 모듈을 선택하는 신호를 출력하는 플립플롭으로 구성됨을 특징으로 하는 통신 시스템의 정상회로 선택장치.

【도면】

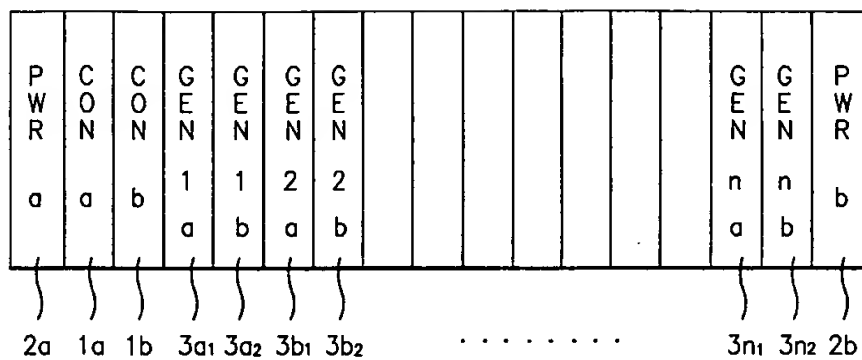
【도 1】



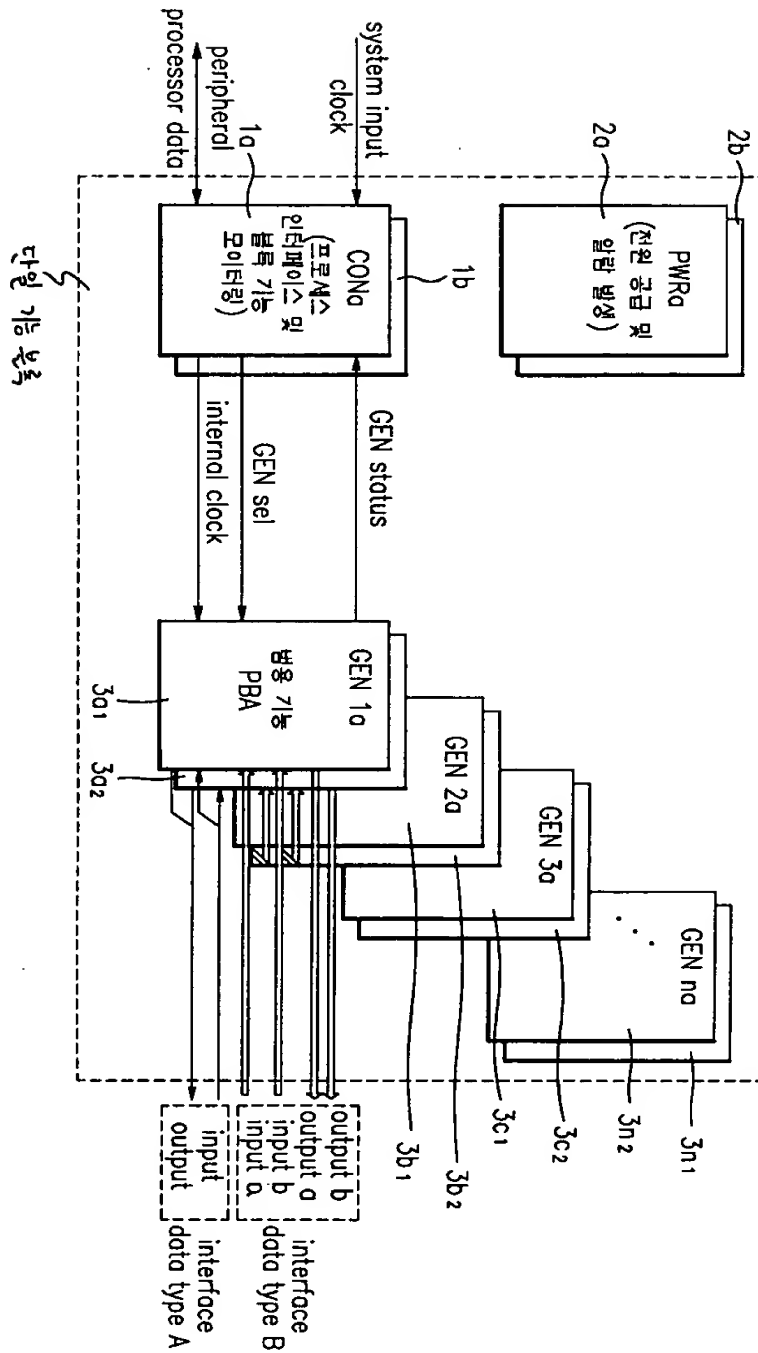
【도 2】



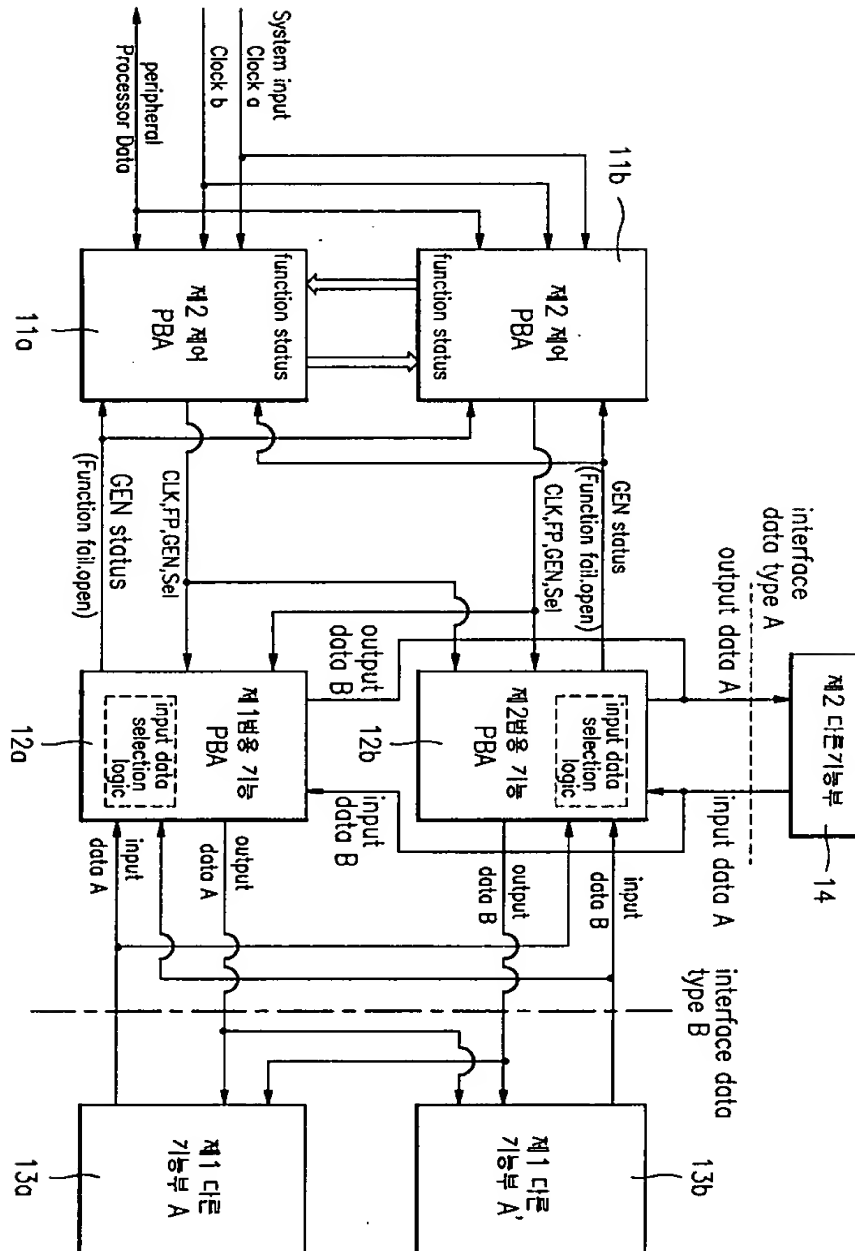
【도 3】



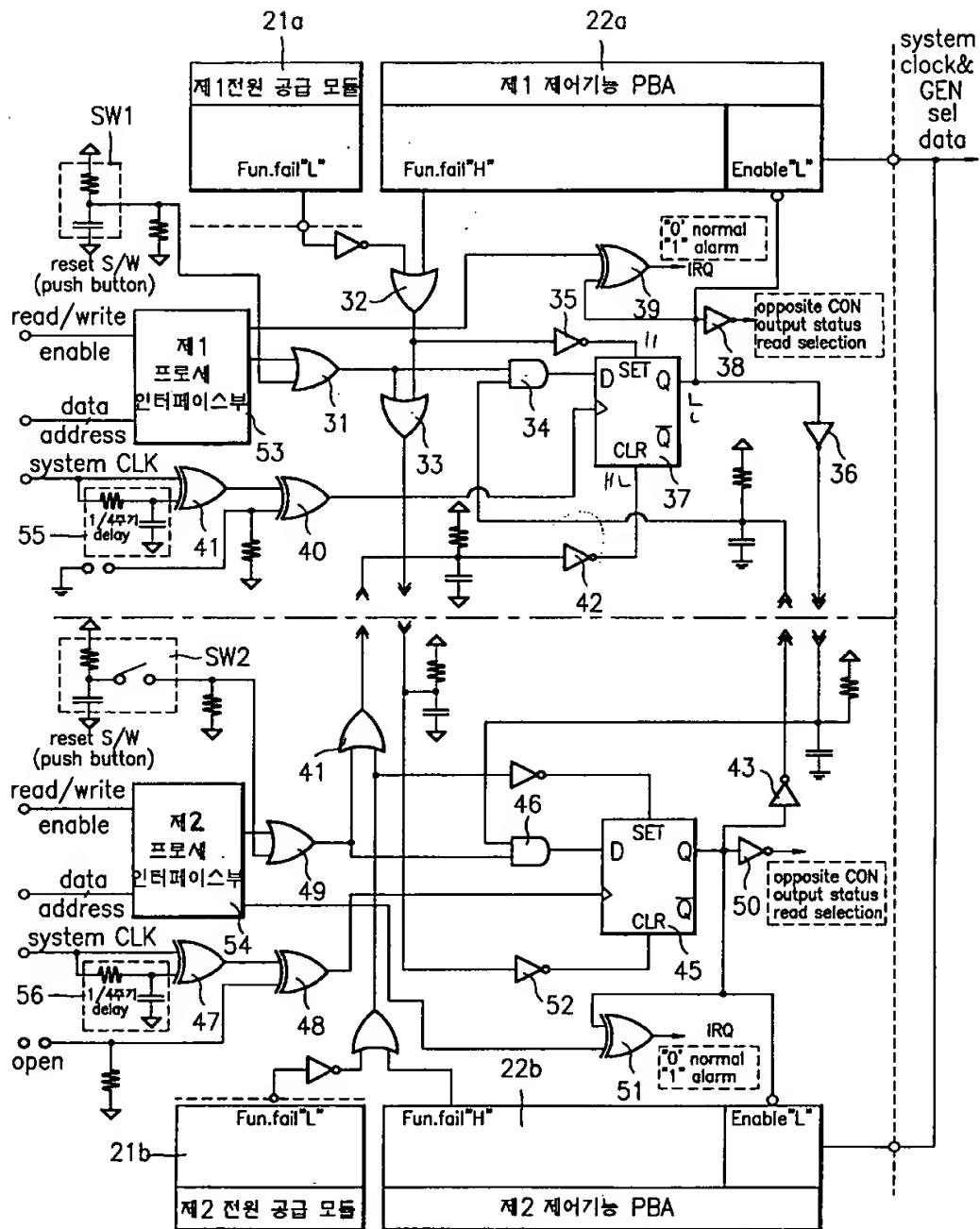
【도 4】



【도 5】



【도 6】



【도 7】

